

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-064874**

(43)Date of publication of application : **05.03.1999**

(51)Int.Cl.

G02F 1/1345  
G09F 9/30

(21)Application number : **09-228342**

(71)Applicant : **SEIKO EPSON CORP**

(22)Date of filing : **25.08.1997**

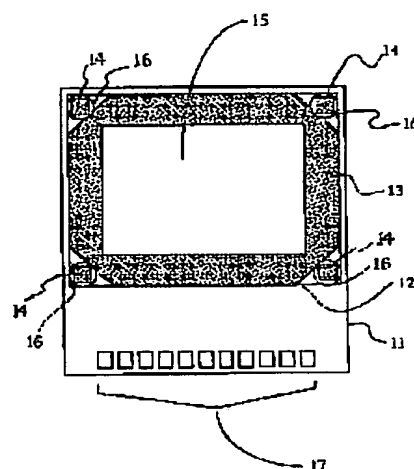
(72)Inventor : **YAZAKI MINORU  
MOTAI MASAOKI**

## (54) LIQUID CRYSTAL PANEL

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve production yield by preventing upper and lower conducting-members from being protruded onto an element substrate.

**SOLUTION:** A substrate 11 having a pixel electrode communicated to a transistor and a substrate 12 having a common electrode are fixed at a suitable interval by a spacer mixed seal 13 while mutually opposing their electrodes and a liquid crystal 15 is held between these substrates. Concerning such a liquid crystal panel, a terminal 14 for vertical conducting connection provided on the element substrate 11 for applying a potential to this common electrode is formed inside or at least  $\approx 250 \mu$  from an opposed substrate terminal position.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-64874

(43)公開日 平成11年(1999) 3月5日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

G 0 2 F 1/1345

G 0 2 F 1/1345

G 0 9 F 9/30

3 2 1

G 0 9 F 9/30

3 2 1

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号

特願平9-228342

(22)出願日

平成9年(1997) 8月25日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 矢崎 稔

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 斐 正明

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

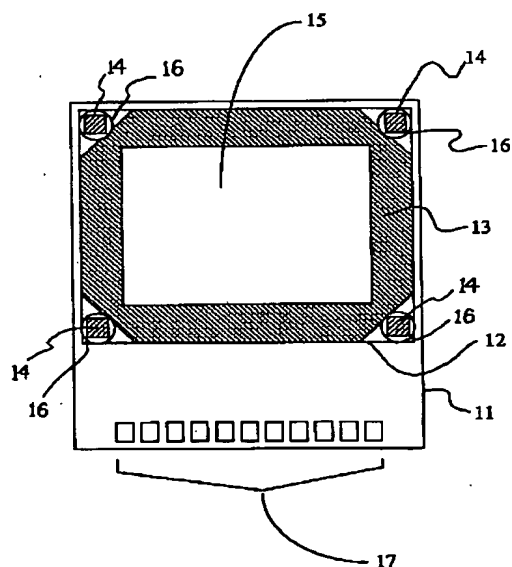
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 液晶パネル

(57)【要約】

【課題】上下導通材の素子基板へのはみ出しを防止し、製造歩留りを向上させる。

【解決手段】トランジスタにつながる画素電極を有する基板11と、共通電極を有する基板12とを、互いに電極を対向させスペーサーの混合されたシール13により適当な間隔をおいて固定し、この中に液晶15を挟持してなる液晶パネルにおいて、前記共通電極に電位を与えるために素子基板11上に設けられる上下導通接続用の端子14が、対向基板端部位置より少なくとも250ミクロン以上内側に形成されている。



## 【特許請求の範囲】

【請求項 1】 トランジスタ及び該トランジスタに接続される画素電極をマトリクス状に形成した第 1 の基板と、共通電極を有する第 2 の基板とが互いに間隙を有して配置され、この間隙に液晶を挟持してなる液晶パネルにおいて、前記共通電極に電位を与えるために前記第 1 の基板上に設けられる上下導通接続用の端子が、前記第 2 の基板の端部より少なくとも 250 ミクロン以上内側に形成されたことを特徴とする液晶パネル。

【請求項 2】 前記第 1 の基板が半導体基板であることを特徴とする請求項 1 記載の液晶パネル。

【請求項 3】 前記第 1 の基板と前記第 2 の基板の端部はほぼ一致され、前記上下導通接続用の端子が当該端部より少なくとも 500 ミクロン以上内側に形成されたことを特徴とする請求項 2 記載の液晶パネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶パネルに関し、さらには投写型表示装置のライトバルブに用いられるアクティブマトリクス型液晶パネルに関する。

## 【0002】

【従来の技術】 従来、投写型表示装置のライトバルブに用いられるアクティブマトリクス液晶パネルとしては、ガラスまたは石英等の絶縁性基板上にアモルファスシリコンまたは多結晶シリコンを用いた薄膜トランジスタ（以下、TFT という）を形成した構造のアクティブマトリクス型液晶パネルが実用化されている。しかし、この方式によるとパネルのデバイスサイズが比較的大きいため、例えばこれをライトバルブとして組み込んだプロジェクトのような投写型表示装置にあっては、装置全体が大型化してしまうという不具合がある。そこでこれを解決するために半導体基板上に形成された絶縁ゲート型電界効果トランジスタ（以下、MOSFET という）で画素電極をスイッチングするようにしたアクティブマトリクス型液晶パネルが開発されている。

【0003】 これら液晶パネルの構成の平面略図を図 4 に示す。画素毎にトランジスタとこれにつながる画素電極をマトリクス状に形成した絶縁性又は半導体の基板（以下、素子基板という）41 と、これに対向するようにほぼ全面に共通電極 48 が設けられた透明な対向基板 42 とを目標セル厚にするためのスペーサーを入れたシール 43 で固定し、この間隙中に液晶 45 が挟持されている。また、この素子基板 41 と透明なガラスからなる対向基板 42 を対向させて構成した端部の拡大断面図を図 5 に示す。

【0004】 また、共通電極 48 に電位を与えるために素子基板 41 には前記共通電極 48 と導通をとるための上下導通接続用端子 44 が、対向基板 42 の隅に設けられ、端子 44 と共通電極 48 とを上下導通材 46 を介在させて導電接続する。これは、素子基板 41 に実装端子

となるパッド群 47 が設けられており、ここから液晶パネルを駆動するための各種電圧（共通電極電位を含む）及び各種信号が供給されるからであって、図 4 に示される 4 つの端子 44 まで実装端子 47 から配線され、この端子 44 から上下導通材 46 を介して共通電極 48 に共通電極電位を供給している。このときの端子 44 および導通材 46 は、液晶パネルの駆動回路に供給される配線パターン等に影響の少ない液晶パネルの 4 隅の 1 個所乃至 4 個所に設けられる。なお、上下導通材 46 としては、銀の粉末を導電フィラーとして樹脂に混入した周知の銀ペーストを用いる。

【0005】 図 5 に従来の端子 44 周辺の拡大略図（図は途中で破断している）を示す。通常、端子 44 の大きさはパネル設計により任意に設定されるが、一辺数百ミクロン程度の三から五角形をしているのが一般的であり、できる限り対向基板端部に近い位置に設けられている。そのため図 5 に見られるように、上下導通材 46 はしばしば素子基板 41 上にまではみ出して形成されている。これは通常上下導通の安全性より導通材 46 を端子部 44 より広めに塗布することによる。

## 【0006】

【発明が解決しようとする課題】 しかし、近年、投写型表示装置の小型高画質化により、ライトバルブもより小型高密度のものが要求されてきた。そのため素子基板 41 および対向基板 42 のサイズが実装端子部 47 を除きほぼ同一形状となり、従来の如く素子基板 41 上に設けられた上下導通材 46 がはみ出すような構成では、素子基板 41 の寸法精度が低下するばかりか、時として後工程で上下導通材 46 が欠落し、ゴミまたはショート不良の原因となる。

【0007】 また、より小型高密度を目指す MOSFET を半導体基板上に設けた液晶パネルにおいては、上下導通材 46 が図 5 よりさらに外側にはみ出して、共通電極 42 と半導体基板 41 の端面（側面）が直接上下導通材により短絡し、共通電極電位が不安定となり動作不良になるという問題点を有していた。

【0008】 そこで本発明は、上下導通接続用の端子 44 の位置を限定し、対向基板 42 の端部位置より内側に設け、上下導通材 46 の素子基板 41 へのはみ出しを極力抑えそれによる基板寸法変化、導電材 46 の欠落および電極・基板間の短絡を防止し、優れた表示品位の液晶パネルを提供することを目的とする。

## 【0009】

【課題を解決するための手段】 請求項 1 記載の液晶パネルは、トランジスタ及び該トランジスタに接続される画素電極をマトリクス状に形成した第 1 の基板と、共通電極を有する第 2 の基板とが互いに間隙を有して配置され、この間隙に液晶を挟持してなる液晶パネルにおいて、前記共通電極に電位を与えるために前記第 1 の基板上に設けられる上下導通接続用の端子が、前記第 2 の基板の端

## 3

部より少なくとも250ミクロン以上内側に形成されたことを特徴とする。上記構成によれば上下導通材の基板へのはみ出しが防止できるため、第1の基板(素子基板)の寸法精度が確保でき製造歩留りが向上する効果を有する。

【0010】請求項2記載の液晶パネルは、上記第1の基板が半導体基板であることを特徴とする。上記構成によれば半導体基板と共通電極とが、上下導通材を介して短絡することを防止でき、共通電極電位の不安定性を除去し安定した電位を共通電極に印加することができる。

【0011】請求項3記載の液晶パネルは、前記第1の基板と前記第2の基板の端部はほぼ一致され、前記上下導通接続用の端子が当該端部より少なくとも500ミクロン以上内側に形成されたことを特徴とする。上記構成によれば、上下導通材が対向基板内に完全に納まり、半導体基板端面(側面)に全くはみ出すことがないため、素子基板端面(側面)と共通電極間で電氣的に短絡することもなく設定通りの電位を共通電極に印加できた。

【0012】なお、本発明の上下導通接続用の端子の対向基板の端部位置からの距離の限定理由について説明すると、対向基板端部位置から250ミクロンより外側だと上下導通材のはみ出し量が極端に増加し、また基板端面(側面)との短絡が多発するため250ミクロン以上内側に限定される。さらに、導通材の塗布量のばらつきを考慮した製造マージンからは、好ましくは500ミクロン以上内側に設けることが望ましい。

【0013】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0014】(実施例1)図1は本発明に係る液晶パネルの第1の実施例を示す液用パネルの平面略図である。また、図2には素子基板と対向基板を対向させて構成した液晶パネルの端部の拡大断面図を示す。以下にその構成を説明する。

【0015】素子基板11は、その上に、マトリクス状に画素毎に画素電極を形成し、各々の画素電極に接続するように、多結晶シリコンにより構成したTFTが形成され、前記TFTを介して前記画素電極に電圧が印加されるように構成された石英基板である。この素子基板11においては、走査線とデータ線が交差して配置され、走査線及びデータ線に接続された画素がマトリクス状に構成される。各画素には、走査線の走査信号によりゲートが制御されるTFTと画素電極と保持容量が配置される。画素電極にはTFTを介してデータ線から電圧が供給され、蓄積容量にその電圧が蓄積されるように構成されている。以上のようにして画素領域が構成される。また、素子基板11には、外部から液晶パネルを駆動するための各種電圧及び各種信号が印加される実装端子となるパッド群17からの入力を受けて、画素領域部の素子

## 4

を駆動する走査線駆動回路及びデータ線駆動回路も構成される。

【0016】対向基板12は、その上に共通電極19としてのITO膜がほぼ全面に形成された石英基板である。素子基板11の各画素電極と対向基板12の共通電極19の対向により各画素の液晶セルが構成される。

【0017】素子基板11と対向基板12にはそれぞれ配向膜を塗布ラビング処理し、いずれか一方の基板にスクリーン印刷によりスペーサーの入ったシール13をパネル形状に印刷する。更に素子基板11の対向基板12の端部位置より250ミクロン内側(図2中に矢印18で示す)に形成された上下導通接続端子14上に、導電粒子を熱硬化型接着材に混合させた上下導通材16(例えば、銀粉末を導電フィラーとして樹脂に混入させた銀ペースト)をディスペンサー吐出装置で塗布付着した。この後前記両基板11、12を画素電極及び共通電極を互いに間隙を持たせて対向させ位置合わせした後、圧着機で圧力印加しながらシールおよび上下導通材16の硬化温度まで加熱硬化させ、最後に液晶15を基板間の間隙中に注入封止し液晶パネルを製造した。

【0018】このときの上下導通接続用端子14および上下導通材16は、素子基板11上の液晶パネルの駆動回路に供給される配線パターン等に影響の少ない箇所に設けられる。この上下導通される箇所は、対向基板12の隅部分に相当する。この上下導通接続用端子14には、パッド17から入力された共通電極電位が素子基板11上の配線を介して供給され、供給された共通電極電位が上下導通材16を介して対向基板12の共通電極19に印加される。上下導通接続用端子14は対向基板12の各隅または4隅のいずれか1つ又は複数に形成すればよいが、4隅の方が共通電極電位の画素領域内でのバラツキを少なくできる。

【0019】図2に得られたパネルの端子14近傍の拡大略図を示す。図2中に見られるように上下導通材16の素子基板11へのはみ出しもなく、しかも良好な上下電極の接続ができた。さらにこのパネルを実装し表示点灯させたところコントラストの良好な表示が得られた。

【0020】(実施例2)本発明の第2の実施例を図1を参照して説明する。第2の実施例は、第1の実施例において、素子基板11を半導体基板とし、TFTをMOSFETに置き換えた構成である。また、図3にはシリコン基板と対向基板を対向させて構成した液晶パネルの端部の拡大断面図を示す。

【0021】素子基板11は、シリコン基板上に反射電極がマトリクス状に形成され、各反射電極に対応して各々MOSFETが形成され、前記MOSFETを介して前記反射電極に電圧が印加されるように構成された基板である。この素子基板11においては、走査線とデータ線が交差して配置され、走査線及びデータ線に接続された画素がマトリクス状に構成される。各画素には、走査

線の走査信号によりゲートが制御されるMOSFETと反射電極からなる画素電極と保持容量が配置される。画素電極にはMOSFETを介してデータ線から電圧が供給され、蓄積容量にその電圧が蓄積されるように構成されている。以上のようにして画素領域が構成される。また、素子基板11には、外部から液晶パネルを駆動するための各種電圧及び各種信号が印加される実装端子となるパッド群17からの入力を受けて、画素領域部の素子を駆動する走査線駆動回路及びデータ線駆動回路も構成される。

【0022】対向基板12は共通電極19としての透明導電膜（例えばITO）の形成されたガラス基板である。素子基板11の各画素電極と対向基板12の供給電極19の対向により各画素の液晶セルが構成される。

【0023】素子基板11と対向基板12にはそれぞれ垂直配向膜を塗布し対向基板のみラビング処理し、いずれか一方の基板にディスペンサー塗布によりスペーサーの入ったシール13をパネル形状に印刷する。さらに素子基板11の対向基板の端部位置より500ミクロン内側（図3中に矢印18で示す）に形成された上下導通接続用端子14上に、ディスペンサーにより導電粒子を紫外線硬化樹脂で混合させた上下導通材16（例えば、銀粉末を導電フィラーとして樹脂に混入させた銀ペースト）を吐出し接続端子14上に付着する。そして、この後前記両基板11、12を画素電極及び共通電極を互いに間隙を持たせて対向させ位置合わせした後、圧着機で圧力印加しながらシールおよび上下導通材を紫外線照射し硬化させ、最後に基板間の間隙に液晶15を注入封止し液晶パネルを製造した。

【0024】このときの上下導通接続用端子14および上下導通材16は、素子基板11上の液晶パネルの駆動回路に供給される配線パターン等に影響の少ない箇所に設けられる。この上下導通される箇所は、対向基板12の隅部分に相当する。この上下導通接続用端子14には、パッド17から入力された共通電極電位が素子基板11上の配線を介して供給され、供給された共通電極電位が上下導通材16を介して対向基板12の共通電極19に印加される。上下導通接続用端子14は対向基板12の各隅または4隅のいずれか1つ又は複数に形成すればよいが、4隅の方が共通電極電位の画素領域内でのバラツキを少なくできる。

【0025】本実施例においては実装端子部17（あるいは実装端子部とデータ線側駆動回路）の形成領域を除いて素子基板11のサイズはほぼ対向基板12サイズと同一であり、端子14の配置される基板の隅部においては、素子基板11と対向基板12の端部がほぼ一致して、デバイスサイズを小さくしている。つまり、第1の実施例の図1においては、素子基板11と対向基板12の3辺の端部が若干ずれているが、これを対向基板12の3辺の端部についてほぼ合わせた構成となる。得られ

た液晶パネルは、図3に端子部拡大略図に示したごとく、上下導通材16が対向基板内に完全に納まり、シリコン基板端面（側面）に全くはみ出すことがないため、素子基板端面（側面）と共通電極間で電氣的に短絡することもなく設定通りの電位を共通電極に印加できた。

【0026】尚、比較のために、実施例2の構成の液晶パネルで、対向基板端部位置から導上下導通接続用端子14までの距離を0、100、200、300、500ミクロンと変化させたものを各50個づつ作成し、導通材のはみ出しによる対向電極・基板端面との短絡率を測定したところ、0ミクロンでは約92%、100ミクロンでは70%、200ミクロンでは35%であり、300ミクロンではほぼ3%を示し250ミクロンあたりから急激に歩留まりが改善されることが分かり、500ミクロンにおいては100%良好であった。

【0027】以上のように、第1の実施例及び第2の実施例では、石英基板上に多結晶TFTおよびシリコン基板上にMOSFETを用いた基板にて説明されているが、ガラス基板上にアモルファスTFTを用いた液晶パネルにおいても、また反射、透過パネルに関係なく同様な効果が期待でき、上下導通接続用端子の形状も四角形に限定されるものではなく端子の数も4隅全てに設けなくてもよい。さらには、素子基板側をパネルが多数とれる形状の大板とし、これにパネルサイズの対向基板を貼り合わせ後に素子基板をパネルサイズに切断する製造方法においても、導通材のはみ出しによる後工程での欠落不良を防止できるため同様の効果が期待できる。

【0028】

【発明の効果】以上述べたように、本発明の液晶パネルによれば、上下導通のための端子を基板端部から一定間隔以上離すことにより、上下導通材の安定した形成が可能となりさらには導通材のはみ出しによる基板端面との短絡を防止し、それにより安定した共通電極電位を印加でき優れた表示品位の液晶パネルが提供できるものである。従って本発明の液晶パネルを用いた投写型表示装置はより小型でコンパクトな設計が可能となる。

【図面の簡単な説明】

【図1】本発明の第1、第2の実施例を示す平面略図。

【図2】本発明の第1の実施例の上下導通接続用端子周辺の拡大図。

【図3】本発明の第2の実施例の上下導通接続用端子周辺の拡大図。

【図4】従来の液晶パネルを示す平面略図。

【図5】従来の液晶パネルの上下導通接続用端子周辺の拡大図。

【符号の説明】

11, 41	素子基板
12, 42	対向基板
13, 43	シール
14, 44	上下導通接続用端子

7

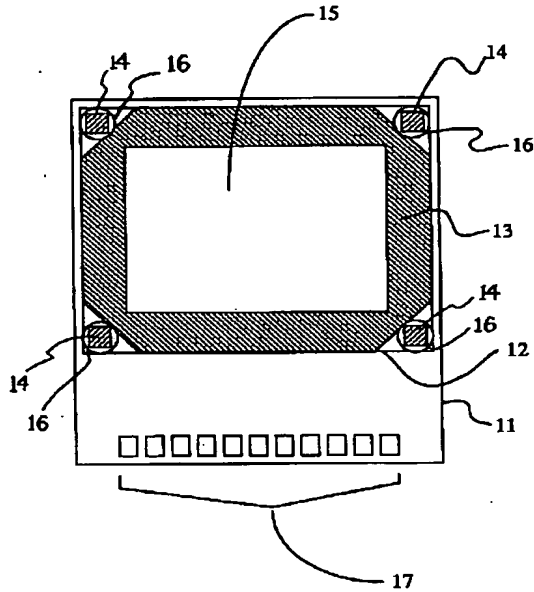
8

- 1 5, 4 5 液晶  
 1 6, 4 6 上下導通材  
 1 7, 4 7 実装端子部

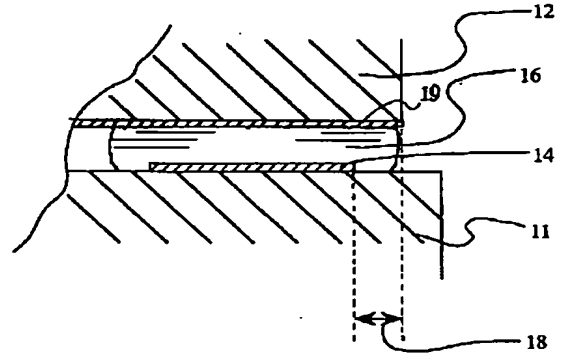
- 1 8  
 離

対向基板端部と上下導通接続用端子の距

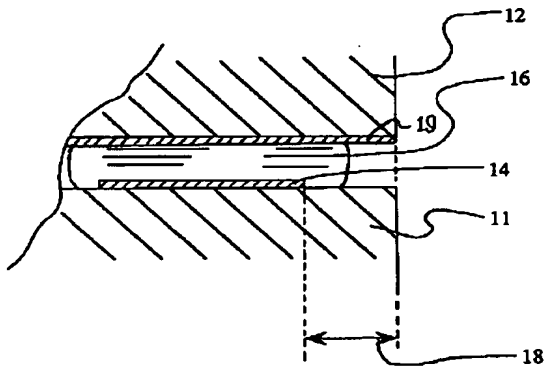
【図 1】



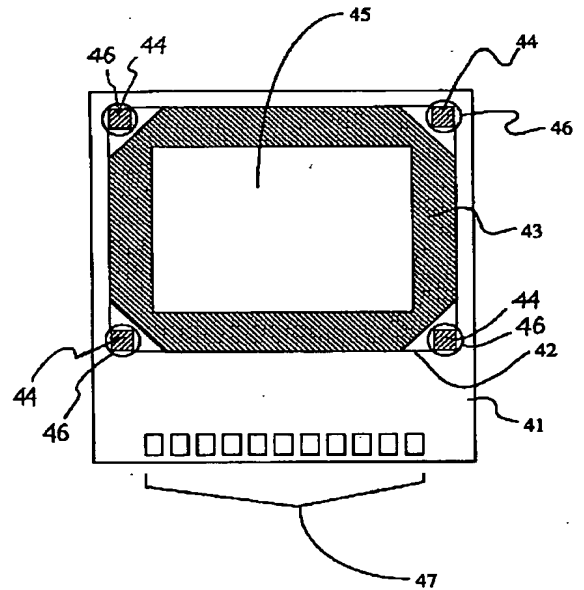
【図 2】



【図 3】



【図 4】



【図 5】

